

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-82547

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 21/336  
29/784

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M

H 0 1 L 29/ 78

3 0 1 Y

審査請求 未請求 請求項の数15(全 18 頁)

(21)出願番号 特願平3-109372

(22)出願日 平成3年(1991)5月14日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 上田 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 松元 道一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

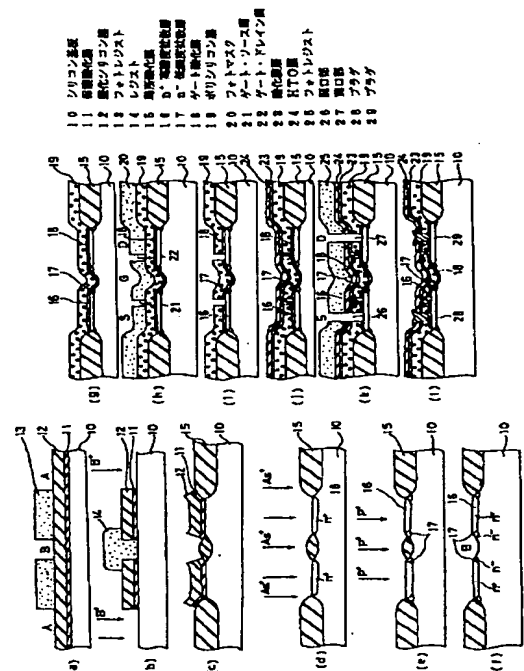
(74)代理人 弁理士 宮井 暎夫

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 小型化できるとともに工程数を削減することができる半導体装置の製造方法を提供する。

【構成】 シリコン基板10の表面が露出した部分にゲート酸化膜18を形成した後、シリコン基板10の全面にポリシリコン膜19を堆積する。ついで、ゲート酸化膜18およびポリシリコン膜19をシリコン基板10の表面が露出した部分で3分割する。ついで、3分割されたポリシリコン膜19をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応したポリシリコン膜19およびその下層のゲート酸化膜18の一部に開口部26、27を設け、開口部26、27にプラグを形成する。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項 1】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける工程と、

前記開口部に導電性膜を堆積する工程とを含み、

前記ゲートの直下に前記局所酸化膜が除去された部分が存在させることを特徴とする半導体装置の製造方法。

【請求項 2】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に高濃度不純物注入を行って高濃度拡散層を形成する工程と、

前記局所酸化膜のエッジ部分を選択的にエッチングした後、前記シリコン基板に低濃度不純物注入を行って低濃度拡散層を形成する工程と、

続いて、前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける工程と、

前記開口部に導電性膜を堆積する工程とを含み、

前記ゲートの直下に前記局所酸化膜が除去された部分が存在させることを特徴とする半導体装置の製造方法。

【請求項 3】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

2

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記導電体膜の表面を酸化して酸化膜を形成し、前記 3 分割した導電体膜の間を前記酸化膜で埋める工程と、

前記酸化膜上に高温酸化膜を全面に堆積する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける工程と、

10 前記開口部に導電性膜を堆積する工程とを含み、

前記ゲートの直下に前記局所酸化膜が除去された部分が存在させることを特徴とする半導体装置の製造方法。

【請求項 4】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に高濃度不純物注入および低濃度の高エネルギーイオン注入を行い、露出した前記シリコン基板の表面に高濃度拡散層を形成するとともに、前記局所酸化膜のエッジ

20 部直下に低濃度拡散層を形成する工程と、  
前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程とを含み、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける工程と、

30 前記開口部に導電性膜を堆積する工程とを含み、  
前記ゲートの直下に前記局所酸化膜が除去された部分が存在させることを特徴とする半導体装置の製造方法。

【請求項 5】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

40 前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜の一部を開口するようにレジストでパターン化し、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、前記レジスト

50 の開口部の直下の前記薄い酸化膜を破壊する工程とを

3

含み、

前記ゲートの直下に前記局所酸化膜が除去された部分を存在させることを特徴とする半導体装置の製造方法。

【請求項 6】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜の一部を開口するようにレジストでパターン化し、前記導電体膜の膜厚の一部をエッチングした後、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、前記レジストの開

口部の直下の前記薄い酸化膜を破壊する工程とを含み、前記ゲートの直下に前記局所酸化膜が除去された部分を存在させることを特徴とする半導体装置の製造方法。

【請求項 7】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、前記局所酸化膜を除去した部分とは異なる前記シリコン基板の表面上を一部開口するようにレジストでパターン化し、前記レジストの開

口部内の前記シリコン基板の表面上にドライエッチング法にて凹凸形状に表面あれを生じさせる工程と、

前記レジストを除去し、前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程とを含み、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ゲートの直下に前記局所酸化膜が除去された部分を存在させ、かつ前記ソースおよび前記ドレインの直下に前記凹凸形状の表面あれの部分を存在させることを特徴とする半導体装置の製造方法。

【請求項 8】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に第 1 の不純物注入を行って第 1 の拡散層を形成する

4

工程と、

前記局所酸化膜を一部分除去する工程と、

前記局所酸化膜を除去した部分とは異なる前記シリコン基板の表面上を一部開口するようにレジストでパターン化し、前記レジストの開口部内の前記シリコン基板の表面上に第 1 の不純物注入よりも高濃度の第 2 の不純物注入を行って第 2 の拡散層を形成する工程と、

前記レジストを除去し、前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程とを含み、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ゲートの直下に前記局所酸化膜が除去された部分を存在させ、かつ前記ソースおよび前記ドレインの直下に前記第 2 の不純物注入を行った第 2 の拡散層を存在させることを特徴とする半導体装置の製造方法。

【請求項 9】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で 3 分割する工程と、

前記導電体膜上に導電性液体を塗布し、前記シリコン基板の裏面と前記導電性液体との間に静電破壊用の電圧を印加する工程と、

前記 3 分割された導電体膜を MOS トランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける工程と、

前記開口部に導電性膜を堆積する工程とを含み、

前記ゲートの直下に前記局所酸化膜が除去された部分を存在させることを特徴とする半導体装置の製造方法。

【請求項 10】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に第 1 の不純物注入を行って第 1 の拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記局所酸化膜を除去した部分とは異なる前記シリコン基板の表面上を一部開口するようにレジストでパターン化し、前記開口部に第 1 の不純物注入よりも高濃度の第 2 の不純物注入を行って第 2 の拡散層を形成する工程

50

5

と、

前記レジストを除去し、前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記第2の拡散層の上にある薄い酸化膜をウェットエッチング法を用いて選択的に除去する工程と、

前記シリコン基板の全面に導電体膜を堆積する工程と、前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で3分割する工程とを含み、

前記3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、前記ゲートの直下に局所酸化膜が除去された部分を存在させ、かつ前記ソースおよび前記ドレインの直下に前記第2の不純物注入を行った第2の拡散層を存在させることを特徴とする半導体装置の製造方法。

【請求項11】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜を除去した後、前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記局所酸化膜を除去した部分とは異なる前記シリコン基板の表面上を一部開口するようにレジストでパターン化した後、前記シリコン基板に高融点金属層を薄く堆積し、前記レジストをリフトオフして、前記レジストの開口部に前記高融点金属層を残す工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で3分割する工程とを含み、

前記3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、前記ゲートの直下に前記局所酸化膜が除去された部分を存在させ、かつ前記ソースおよび前記ドレインの直下に前記高融点金属層を存在させることを特徴とする半導体装置の製造方法。

【請求項12】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜の特定部を、フォトリソグラフィ法とドライエッチング法とを用いて除去し、前記シリコン酸化防止膜の所望の部分を残す工程と、

前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で3分割する工程とを含み、

前記3分割された導電体膜をMOSトランジスタのソー

6

ス、ゲートおよびドレインとし、前記ゲートの直下に前記局所酸化膜の除去された部分を存在させ、かつ前記ソースおよび前記ドレインに対応した導電体膜の直下に前記シリコン酸化防止膜の所望の部分のエッジ部を存在させることを特徴とする半導体装置の製造方法。

【請求項13】 シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する工程と、

前記シリコン酸化防止膜をウェットエッチング法を用いて除去し、前記シリコン酸化防止膜を部分的に残す工程と、

前記シリコン基板に不純物注入を行って拡散層を形成する工程と、

前記局所酸化膜を一部分除去する工程と、

前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する工程と、

前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で3分割する工程とを含み、

前記3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、前記ゲートの直下に前記局所酸化膜が除去された部分を存在させ、かつ前記ソースおよび前記ドレインに対応した導電体膜の直下に前記部分的に残されたシリコン酸化防止膜を存在させることを特徴とする半導体装置の製造方法。

【請求項14】 シリコン基板上に薄い酸化膜および導電体膜を堆積し、所望の部分を開口するようにレジストでパターン化し、レジストの開口部にシリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、前記レジストの開口部の直下の前記薄い酸化膜を破壊する工程によって前記シリコン基板と導電体膜とを電氣的に導通させることを特徴とする半導体装置の製造方法。

【請求項15】 シリコン基板上に薄い酸化膜および導電体膜を堆積し、所望の部分を開口するようにレジストでパターン化し、レジストの開口部に対応した前記導電体膜の膜厚の一部をエッチングした後、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、前記レジストの開口部の直下の前記薄い酸化膜を破壊する工程によって前記シリコン基板と導電体膜とを電氣的に導通させることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法、特にMOS型トランジスタの製造方法に関し、さらにMOSLSIに適用されるものである。

【0002】

【従来の技術】 従来の半導体装置としては、例えば特開昭52-110724号公報に示されている。図10は

7

この従来の半導体装置のnチャンネル型MOSトランジスタの断面図を示すものである。図10において、1001はp型シリコン基板、1002は分離用の局所酸化膜、1003はゲート電極となるポリシリコン膜、1004はゲート電極となるポリシリコン膜1003をマスクにして注入されたn-低濃度拡散層、1005はLD D (Lightly Doped Drain) 構造形成のためのCVD酸化膜からなるサイドウォール、1006はゲート電極となるポリシリコン膜1003とサイドウォール1005とをマスクとして打ち込まれたn+高濃度拡散層である。1007は絶縁膜となる高温酸化膜(以下、HTO膜と記す)、1008は平坦化されたBPSG膜、1009、1010はソースおよびドレインの電極引出し口となる開口部であり、アルミニウム電極1011がそれぞれ配線される。

【0003】以上のように構成された従来の半導体装置においては、ミクロンサイズのトランジスタが実現できる。

【0004】

【発明が解決しようとする課題】しかしながら前記のような構成では、

(1) ソース、ドレインの電極接続が2層目配線でしかとることができず、配線領域が大きくなる。

(2) ソースおよびドレイン電極と拡散層とを接続するための孔、マージン等が必要であり、トランジスタサイズ全体が大きくなる。

【0005】(3) 絶縁膜でゲートにサイドウォールを作るには、工程数を多く必要とする。

という問題点を有していた。したがって、この発明の目的は、小型化できるとともに工程数を削減することができる半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】請求項1記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける。ついで、開口部に導電性膜を堆積する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0007】請求項2記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の

8

箇所を開口して局所酸化膜を堆積する。ついで、前記シリコン酸化防止膜を除去した後、前記シリコン基板に高濃度不純物注入を行って高濃度拡散層を形成する。ついで、前記局所酸化膜のエッジ部分を選択的にエッチングした後、前記シリコン基板に低濃度不純物注入を行って低濃度拡散層を形成する。ついで、前記局所酸化膜を一部分除去する。ついで、前記シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、前記シリコン基板全面に導電体膜を堆積する。ついで、前記薄い酸化膜および前記導電体膜を前記シリコン基板の表面が露出した部分で3分割する。ついで、前記3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、前記ソースおよび前記ドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける。ついで、前記開口部に導電性膜を堆積する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0008】請求項3記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、導電体膜の表面を酸化して酸化膜を形成し、3分割した導電体膜の間を酸化膜で埋める。ついで、酸化膜上に高温酸化膜を全面に堆積する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける。ついで、開口部に導電性膜を堆積する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0009】請求項4記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に高濃度不純物注入および低濃度の高エネルギーイオン注入を行い、露出したシリコン基板の表面に高濃度拡散層を形成するとともに、局所酸化膜のエッジ部直下に低濃度拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設け

10

20

30

40

50

9

る。ついで、開口部に導電性膜を堆積する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0010】請求項5記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜の一部を開口するようにレジストでパターン化し、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、レジストの開口部の直下の薄い酸化膜を破壊する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0011】請求項6記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜の一部を開口するようにレジストでパターン化し、導電体膜の膜厚の一部をエッチングした後、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、レジストの開口部の直下の薄い酸化膜を破壊する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0012】請求項7記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、局所酸化膜を除去した部分とは異なるシリコン基板の表面上を一部開口するようにレジストでパターン化し、レジストの開口部内のシリコン基板の表面上にドライエッチング法にて凹凸形状に表面あれを生じさせる。ついで、レジストを除去し、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部

10

分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインの直下に凹凸形状の表面あれの部分を存在させるようにする。

【0013】請求項8記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に第1の不純物注入を行って第1の拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、局所酸化膜を除去した部分とは異なるシリコン基板の表面上を一部開口するようにレジストでパターン化し、レジストの開口部内のシリコン基板の表面上に第1の不純物注入よりも高濃度の第2の不純物注入を行って第2の拡散層を形成する。ついで、レジストを除去し、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインの直下に第2の不純物注入を行った第2の拡散層を存在させるようにする。

【0014】請求項9記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。ついで、導電体膜上に導電性液体を塗布し、シリコン基板の裏面と導電性液体との間に静電破壊用の電圧を印加する。ついで、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ソースおよびドレインに対応した導電体膜およびその下層の薄い酸化膜の一部に開口部を設ける。ついで、開口部に導電性膜を堆積する。上記において、ゲートの直下に局所酸化膜が除去された部分を存在させるようにする。

【0015】請求項10記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に第1の不純物注入を行って第1の拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、局所酸化膜を除去した部分とは異なるシリコン基板の表面上を一部開口するようにレジストでパターン化し、開口部に第1の不純物注入よりも高濃度の第2の不純物注入を行って第2

11

の拡散層を形成する。ついで、レジストを除去し、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、第2の拡散層の上にある薄い酸化膜をウェットエッチング法を用いて選択的に除去する。ついで、シリコン基板の全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインの直下に第2の不純物注入を行った第2の拡散層を存在させるようにする。

【0016】請求項11記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、局所酸化膜を除去した部分とは異なるシリコン基板の表面上を一部開口するようにレジストでパターン化した後、シリコン基板に高融点金属層を薄く堆積し、レジストをリフトオフして、レジストの開口部に高融点金属層を残す。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインの直下に高融点金属層を存在させるようにする。

【0017】請求項12記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜の特定部を、フォトリソグラフィ法とドライエッチング法とを用いて除去し、シリコン酸化防止膜の所望の部分を残す。ついで、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜の除去された部分を存在させ、かつソースおよびドレインに対応した導電体膜の直下にシリコン酸化防止膜の所望の部分のエッジ部を存在させるようにする。

【0018】請求項13記載の半導体装置の製造方法は、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜をウェットエッチング法を用いて除去

12

し、シリコン酸化防止膜を部分的に残す。ついで、シリコン基板に不純物注入を行って拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインに対応した導電体膜の直下に部分的に残されたシリコン酸化防止膜を存在させるようにする。

【0019】請求項14記載の半導体装置の製造方法は、シリコン基板上に薄い酸化膜および導電体膜を堆積し、所望の部分を開口するようにレジストでパターン化し、レジストの開口部にシリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、レジストの開口部の直下の薄い酸化膜を破壊する工程によってシリコン基板と導電体膜とを電気的に導通させる。

【0020】請求項15記載の半導体装置の製造方法は、シリコン基板上に薄い酸化膜および導電体膜を堆積し、所望の部分を開口するようにレジストでパターン化し、レジストの開口部に対応した導電体膜の膜厚の一部をエッチングした後、シリコンイオンもしくは不純物イオンを用いて高エネルギーイオン注入し、レジストの開口部の直下の薄い酸化膜を破壊する工程によってシリコン基板と導電体膜とを電気的に導通させる。

【0021】

【作用】この発明は前記した構成により、

(1) ゲート配線そのままソース、ドレイン配線として接続可能である。

(2) ゲート配線をそのままシリコン基板にコンタクトするためにゲート酸化膜に直接マスクをかける工程が無い。

【0022】(3) ゲート酸化膜と導電体膜の堆積とを連続工程で行うことができる。

(4) セルフアラインでLDD構造を作ることができる。

(5) 傾斜型のLDD構造を容易に作ることができる。

(6) U字型のホットキャリアには有利なMOSトランジスタを作成できる。

(7) 導電体膜上を容易に平坦化することができる。

【0023】(8) SRAM(6MOS)のセルを導電体膜、アルミニウム層の各1層ずつの2層配線で作ることができる。

(9) アルミニウムとシリコン基板との接続が無いため、その分トランジスタの素子サイズを縮小できる。

【0024】

【実施例】(第1の実施例：請求項1, 2, 3に対応する) 図1はこの発明の第1の実施例における半導体装置

13

のプロセス工程断面図である。説明を簡略化するために、特にnチャンネルMOSトランジスタの製造方法を示す。以下、図1を用いて第1の実施例を説明する。

【0025】まず、図1(a)に示すように、シリコン(Si)基板10の上に保護酸化膜11(30nm)を堆積し、その上にCVD法を用いてシリコン酸化防止膜として例えば窒化シリコン(SiN)膜12(120nm)を堆積する。また、局所酸化膜を形成するためのマスクをフォトリソ13を用いてパターン化する。図中Aの領域は後に局所酸化膜となる部分、Bの領域はトランジスタ領域となる部分である。

【0026】つぎに、図1(b)に示すように、フォトリソ13のパターンをマスクとしてドライエッチング法にて、窒化シリコン膜12および保護酸化膜11を除去する。その後、チャンネルストップ用のレジスト14をB領域にパターン化した後、チャンネルストップ用のB<sup>+</sup>の注入を行う。つぎに、図1(c)に示すように、レジスト14を除去した後、局所酸化法を用いて、シリコン基板10の露出している部分を酸化し、局所酸化膜15(500nm)を形成する。

【0027】つぎに、図1(d)に示すように、続いて窒化シリコン膜12および保護酸化膜11を、磷酸、弗酸ウェットエッチング法で除去し、コンタクト接続用のA<sup>+</sup>を、例えば注入エネルギー40KeV、ドーズ量 $6 \times 10^{15} \text{ cm}^{-2}$ の条件で打ち込み、n<sup>+</sup>高濃度拡散層16を形成する。このn<sup>+</sup>高濃度拡散層16はその後の熱処理で活性化される。

【0028】つぎに、図1(e)に示すように、つぎにLDD(lightly doped drain)を形成するための手段として、HF:H<sub>2</sub>O=1:300の弗酸水溶液を用いて、局所酸化膜15のエッジ部分を選択的に除去する。この工程は制御性のよい、ウェットエッチング法を用いるため、エッジ部を正確に0.05μm以下の精度で除去することができる。その後、P<sup>+</sup>を打ち込み、LDD用のn<sup>-</sup>低濃度拡散層17をセルフアラインで形成する。

【0029】つぎに、図1(f)に示すように、最後にB部分の局所酸化膜15を弗酸ウェットエッチング法を用いて、完全に除去する。なお、この状態の時に、チャンネルドープ用の不純物を注入することもできる。つぎに、図1(g)に示すように、つぎに表面をクリーニング洗浄した後、ドライもしくはパイロ酸化法でゲート酸化膜(薄い酸化膜)18を10nmの厚さに堆積し、連続工程にて導電体膜としてポリシリコン膜19を300nmの厚さに堆積する。このポリシリコン膜19は、Pがドーピングされていてもよいし、WSi, TiSi, MoSi等のシリサイド化あるいはポリサイド化がされていてもよい。

【0030】つぎに、図1(h)に示すように、このポリシリコン膜19をゲート(領域G)、ソース(領域

14

S)、ドレイン(領域D)に分割するためにフォトリソ20を用いてパターンを出す。このとき、ゲート・ソース間21およびゲート・ドレイン間22はそれぞれ0.3μmの寸法でとられる。つぎに、図1(i)に示すように、ドライエッチング法を用いて、フォトリソ20およびポリシリコン膜19およびゲート酸化膜18をエッチングし、フォトリソ20を除去する。

【0031】つぎに、図1(j)に示すように、ポリシリコン膜19を酸化し、表面に酸化膜層23を0.15μmの厚さに形成し、ゲート・ソース間21およびゲート・ドレイン間22を埋め込むとともに、表面を平坦化する。また層間膜の一部としてHTO膜24を0.3μmの厚さに堆積する。つぎに、図1(k)に示すように、ソースとドレインの拡散層とポリシリコン膜とを接続するためにフォトリソ25とドライエッチング法を用いて、ソース(領域S)、ドレイン(領域D)に開口部26, 27を形成する。

【0032】つぎに、図1(l)に示すように、ポリシリコン、シリサイド、ポリサイド、高融点金属、アルミニウムのいずれかの導電性膜を堆積し、開口部26, 27にフォトリソグラフィ法とドライエッチング法を用いてパターン化し、プラグ28, 29を形成する。なお、このプラグ28, 29は配線としても使えることは言うまでもない。

【0033】上記の工程をより分かりやすくするために図2として平面的に図示する。図2(a)は、図1

(d)に示した窒化シリコン膜12の除去後の局所酸化膜15の領域とn<sup>+</sup>高濃度拡散層16の領域とを示す。この状態で、n<sup>+</sup>高濃度拡散層16の一辺の長さaは約0.6μmであり、n<sup>+</sup>高濃度拡散層16のソース用領域16aとドレイン用領域16bの距離bは0.4μmである。

【0034】図2(b)は、図1(e)に示した局所酸化膜15のエッジ部を幅cでウェットエッチングし、n<sup>-</sup>低濃度拡散層17を形成したときの状態を示す。ただし、c=0.1μmである。図2(c)は、図2(b)の後、ウェットエッチングの追加を行い、さらに局所酸化膜15のエッジ部を0.1μm幅で削りとった状態を示す。このとき、先に示したn<sup>+</sup>高濃度拡散層16のソース用領域16aとドレイン用領域16bとの間の局所酸化膜15は完全に除去されることになる。

【0035】図2(d)は、図2(c)の状態で薄い酸化膜18とポリシリコン膜19を堆積後ソース、ゲート、ドレイン領域に分けた後の状態を示す。この時、ソースとゲート、ゲートとソース間の大きさdは、約0.15μmである。この後、n<sup>+</sup>高濃度拡散層16のソース用領域16aとソース(ポリシリコン膜19からなる)、n<sup>+</sup>高濃度拡散層16のドレイン用領域16bとドレイン(ポリシリコン膜19からなる)を接続するためコンタクトホール26, 27を開く。コンタクト



15

径は $0.2 \times 0.6 \mu\text{m}$ である。

【0036】図2(e)は、最後にコンタクトホール26, 27に対して接続用のプラグ28, 29を形成した後のMOSトランジスタの完成状態を示す。この手法を用いれば、ゲート実効長 $0.2 \mu\text{m}$ 、トランジスタサイズ $2.4 \times 1.2 \mu\text{m}$ を作成可能である。この方式を用いれば、ゲート長はシリコン基板上の局所酸化膜の幅のみによって決定され、PSの幅の加工精度を必要としない。またLDD構造もセルフアラインで正確に形成される。

【0037】(第2の実施例：請求項4に対応する) この第2の実施例は、局所酸化膜の薄いエッジ部と高エネルギー注入法を用いて、MOSトランジスタのLDD構造を作るものである。図3には第1の実施例の図1(d)に示すゲート部(領域B)の拡大図を示す。

【0038】図3(a)は、図1(d)に対応し、局所酸化膜315の長さeが $0.4 \mu\text{m}$ のものを示す。この上からAs<sup>+</sup>イオンを高濃度イオン注入し、 $10^{21}$ 個/ $\text{cm}^3$ のn<sup>+</sup>高濃度拡散層316を形成する。310はシリコン基板を示す。図3(b)は、P<sup>+</sup>イオンを200 KeVの高エネルギーで注入し、局所酸化膜315のエッジ約 $0.1 \mu\text{m}$ の所にn<sup>-</sup>低濃度拡散層317を形成した後の状態を示す。

【0039】その他の製造工程は図1と同様である。この注入の実施例では、セルフアラインでLDD構造を形成することができる。この方式においては、第1の実施例に示したようなLDD形成用のウェットエッチング工程が不要であることが特徴である。

(第3の実施例：請求項5, 6, 14, 15に対応する) この第3の実施例は、プラグを形成せずに、シリコン基板とポリシリコン膜とを薄い酸化膜を挟んで電氣的に接続する方法を提案するものである。

【0040】図4(a)は第1の実施例の図1(f)に対応し、416はn<sup>+</sup>高濃度拡散層を、417はn<sup>-</sup>低濃度拡散層をそれぞれ示す。410はシリコン基板を、415は局所酸化膜をそれぞれ示す。図4(b)は第1の実施例と同じく、ゲート酸化膜418、ポリシリコン膜419を堆積し、所望の部分をエッチングして、ソース(領域S)、ゲート(領域G)、ドレイン(領域D)を形成した状態を示している。

【0041】この後、図4(c)に示すように、ソースおよびドレインとなるn<sup>+</sup>高濃度拡散層416とポリシリコン膜419とを接続するため、フォトレジスト425とドライエッチング法を用いて、ソース(領域S)、ドレイン(領域D)上のポリシリコン膜419を一定膜厚を残して、除去する。その後、高エネルギー(300 KeV)のSi<sup>+</sup>注入を行い、ソース(領域D)とドレイン(領域E)の直下のゲート酸化膜418の破壊(ミクシング)を行う。破壊部は符号420(黒塗)で示している。

【0042】この後、図4(d)に示すように、レジス

16

ト425を除去して、熱処理(1000℃30分)を加えることにより、ソース、ドレイン部のポリシリコン膜419とn<sup>+</sup>高濃度拡散層416とは電氣的に接続される。この工程は、ゲート酸化膜10nm以下のMOSに対して有効である。第1の実施例と比較して、接続用のプラグが不要であることが特徴である。

【0043】(第4の実施例：請求項7に対応する) この第4の実施例は、第3の実施例と同様に、シリコン基板とポリシリコン膜とを薄い酸化膜を挟んで電氣的に接続する方法を提案するものである。以下、図5を用いて説明する。図5(a)に示す構造は、第1の実施例の図1(f)のn<sup>+</sup>高濃度拡散層516とn<sup>-</sup>低濃度拡散層517とが形成されたものに、フォトレジスト518を用いソース(領域S)、ドレイン(領域D)部に開口部519, 520を形成した状態を示している。この後、ドライエッチング法を用いて開口部519, 520上のシリコン基板510上をたたき、表面荒れ(凹凸形状)を生じさせる。この時使用するガスは、質量の重い不活性ガス、例えばSF<sub>6</sub>等のシリコンをエッチング可能なガスを用いる。510はシリコン基板を、515は局所酸化膜をそれぞれ示す。

【0044】図5(b)はドライエッチング処理を行ったあと、レジスト518を除去した状態を示している。図5(c)は、第1の実施例で行ったように、薄い酸化膜521、ポリシリコン膜522を堆積後、ゲート(領域G)、ソース(領域S)、ドレイン(領域D)に分割した後の状態を示している。

【0045】図5(d)は、図5(c)のn<sup>+</sup>高濃度拡散層516の領域の拡大図を示す。この構造においては、表面荒れを生じさせたため、開口部519, 520の薄い酸化膜521は下地の影響を受けて、凹凸になっている。このため、素子として使用される場合は、凸部523に電界集中が生じてこの部分の酸化膜は弱く静電破壊されてリークを起こす。この機構によって、n<sup>+</sup>高濃度拡散層516とポリシリコン膜522との電氣的接続が可能となる。

【0046】(第5の実施例：請求項8, 9に対応する) この第5の実施例は、上記第3および第4の実施例と同様に、シリコン基板とポリシリコン膜とを薄い酸化膜を挟んで電氣的に接続する方法を提案するものである。以下、図6を用いて説明する。図6(a)は、第1の実施例の図1(f)に対応する。616, 617はそれぞれn<sup>+</sup>高濃度拡散層、n<sup>-</sup>低濃度拡散層を示す。610はシリコン基板を、615は局所酸化膜をそれぞれ示す。第5の実施例の場合は、n<sup>+</sup>高濃度拡散層616の不純物濃度( $10^{19}$ 個/ $\text{cm}^3$ )は第1の実施例の場合よりも低くしておく。

【0047】図6(b)は、n<sup>-</sup>低濃度拡散層617、n<sup>+</sup>高濃度拡散層616の一部をレジスト618で覆い、As<sup>+</sup>イオンを高濃度で注入し、n<sup>+</sup>高濃度拡散層

10

20

30

40

50

17

616の不純物濃度を $1.0^{21}$ 個/cm<sup>3</sup>にする状態を示している。図6(c)には、As<sup>+</sup>イオンの注入で高濃度となった領域がn<sup>+</sup>高濃度拡散層619として示されている。

【0048】図6(d)は、つぎに表面をクリーニング洗浄した後、ドライもしくはパイロ酸化法でゲート酸化膜620を堆積し、連続工程でポリシリコン膜621を堆積した後の状態を示している。図6(e)は、つぎにこのポリシリコン膜621をゲート(領域G)、ソース(領域S)、ドレイン(領域D)に分割した後の状態を示している。分割する場合には、分割部622、623はn<sup>+</sup>高濃度拡散層616の真上にくるように加工される。

【0049】この構造において、導電性液体の塗布膜を表面に設け、裏面をアースとして、±10ないし±20V程度の電圧を塗布膜に印加する。これによって一番耐圧の低いn<sup>+</sup>高濃度不純物領域619上の酸化膜が静電破壊され、n<sup>+</sup>高濃度不純物領域619とポリシリコン膜621との電氣的接続が可能である。

(第6の実施例：請求項10に対応する) この第6の実施例は、上記第3ないし第5の実施例と同様に、シリコン基板とポリシリコン膜とを薄い酸化膜を挟んで電氣的に接続する方法を提案するものである。以下、図7を用いて説明する。

【0050】図7(a)は、第5の実施例、つまり図6(c)のレジスト618を除去し、薄い酸化膜720を堆積した状態を示す図である。716、717、719はそれぞれn<sup>+</sup>高濃度拡散層、n<sup>-</sup>低濃度拡散層領域、n<sup>+</sup>高濃度拡散層を示す。710はシリコン基板を、715は局所酸化膜をそれぞれ示す。つぎに薄い酸化膜720を一部除去するため、薄い弗酸水溶液を用いてウェットエッチングを行うとn<sup>+</sup>高濃度不純物層719に部分に成長した薄い酸化膜720のみ選択的に除去されるが、図7(b)はこの後の状態を示している。このように選択的に除去されるのは、n<sup>+</sup>高濃度拡散層719のAsが薄い酸化膜720にミキシングされて、その部分だけエッチングレートがあがるためである。

【0051】図7(c)は、つぎに、ポリシリコン膜721を堆積した後の状態を示している。図7(d)は、つぎにこのポリシリコン膜721をゲート(領域G)、ソース(領域S)、ドレイン(領域D)に分割した後の状態を示している。分割する場合には、分割部722、723はn<sup>+</sup>高濃度拡散層716とn<sup>+</sup>高濃度拡散層719をまたいでいることが重要である。

【0052】図7(e)は、この後、最後にこの分割部722、723に高濃度のAsイオン注入を行った状態を示しているが、この高濃度のAsイオン注入を行えば、なおトランジスタの特性は良好になる。

(第7の実施例：請求項11に対応する) この第7の実施例は、上記第3ないし第6の実施例と同様に、シリコ

18

ン基板とポリシリコン膜とを薄い酸化膜を挟んで電氣的に接続する方法を提案するものである。

【0053】この実施例では、シリコン基板上にシリコン酸化防止膜を堆積し、所望の箇所を開口して局所酸化膜を堆積する。ついで、シリコン酸化防止膜を除去した後、シリコン基板に高濃度不純物注入を行ってn<sup>+</sup>高濃度拡散層を形成する。ついで、局所酸化膜を一部分除去する。ついで、局所酸化膜を除去した部分とは異なるシリコン基板の表面上を一部開口するようにレジストでパターン化した後、シリコン基板に高融点金属層を薄く堆積し、レジストをリフトオフして、レジストの開口部に高融点金属層を残す。ついで、シリコン基板の表面が露出した部分に薄い酸化膜を形成した後、シリコン基板全面に導電体膜を堆積する。ついで、薄い酸化膜および導電体膜をシリコン基板の表面が露出した部分で3分割する。上記において、3分割された導電体膜をMOSトランジスタのソース、ゲートおよびドレインとし、ゲートの直下に局所酸化膜が除去された部分を存在させ、かつソースおよびドレインの直下に高融点金属層を存在させるようにする。この場合、高融点金属層は、第7の実施例におけるn<sup>+</sup>高濃度拡散層719に相当する。

【0054】(第8の実施例：請求項12に対応する) この第8の実施例を半導体製造プロセスを図示して説明する。説明を簡略化するために、特にnチャンネルMOSの製造方法を示す。図8にプロセス工程順のウェハー断面図を示す。図8(a)は、第1の実施例の図1(c)と同じであり、ここまでの工程は第1の実施例と同様である。ここで、810はシリコン基板、811は保護酸化膜、813は窒化シリコン膜、815は局所酸化膜である。

【0055】図8(b)は、続いて窒化シリコン膜813、保護酸化膜811の上をレジスト816でパターン化し、所望の箇所をドライエッチング法でエッチングした後の状態を示している。エッチング部分は、後にMOSトランジスタが形成される部分である。この状態で、コンタクト接続用のAs<sup>+</sup>を例えば、注入エネルギー40KeV、ドーズ量 $6 \times 10^{15}$ cm<sup>-2</sup>の条件で打ち込み、n<sup>+</sup>高濃度拡散層817を形成する。このn<sup>+</sup>高濃度拡散層817はその後の熱処理で活性化される。

【0056】図8(c)は、つぎにLDD(light doped drain)を形成するための手段として、HF:H<sub>2</sub>O=1:300の弗酸水溶液を用いて、局所酸化膜815のエッジ部分を選択的に除去した後の状態を示している。この工程は制御性のよいウェットエッチング法を用いるため、エッジ部を正確に0.05μm以下の精度で除去することができる。

【0057】その後、P<sup>+</sup>を例えば打ち込み、LDD用のn<sup>-</sup>低濃度拡散層822をセルフアラインで形成する。この後、最後にB部分の局所酸化膜815を弗酸ウェットエッチングを用いて完全に除去する。なおこの状

19

態の時に、チャンネルドープ用の不純物を注入することができる。図 8 (d) は、つぎに表面をクリーニング洗浄した後、ドライもしくはパイロ酸化法でゲート酸化膜 818 を 10 nm の厚さに堆積し、連続工程にてポリシリコン膜 819 を 300 nm の厚さに堆積し、この後ポリシリコン膜をソース (領域 D)、ゲート (領域 G)、ドレイン (領域 E) に分割し、MOS トランジスタとした後の状態を示している。

【0058】この実施例では、窒化シリコン膜 813 が残っているエッジ部 820 の薄い酸化膜 818 の耐圧が低くなることを利用して、ポリシリコン膜 819 と n 高濃度+ 拡散層 817 との接続を可能にする。

(第 9 の実施例：請求項 13 に対応する) この第 9 の実施例では、局所酸化膜形成用のマスクとして利用した窒化シリコン膜を磷酸ウェットエッチング時に選択的に残し、この窒化シリコン膜を残した部分のエッジに後に形成されるゲート酸化膜の耐圧の低さを利用して、ソース、ドレインとの電気的接続を可能にするものである。第 9 の実施例を図 9 を用いて説明する。

【0059】図 9 (a) は第 1 の実施例の図 2 (a) に対応し、n+ 高濃度拡散層に対応する領域 916a、916b の形状が櫛状 (0.1 μm 間隔) になっていることが特徴である。この時、916a、916b の櫛の先の部分には、酸化防止用の窒化シリコン膜 912 が、磷酸で除去されずに残っている。図 9 (b) は、この後、第 1 の実施例と同様に局所酸化膜の薄い部分を 2 回にわたって除去した後の状態を示している (1 回目は LDD 形成用、2 回目はゲート領域形成用)。

【0060】図 9 (c) は、つぎにゲート酸化、ポリシリコン膜の堆積を行い、ドライエッチング法にてソース領域 (S)、ゲート領域 (G)、ドレイン領域 (D) に分割した後の状態を示している。このような構造の MOS トランジスタでは、ソース、ドレイン領域に存在する窒化シリコン膜 914 の近傍のゲート酸化膜の耐圧が特に低く、n+ 高濃度拡散層の領域 916a、916b とポリシリコン膜 919 膜との接続を可能とする。

【0061】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、

(1) ゲート配線そのままソース、ドレイン配線として接続可能であるため、配線として使用できるレイヤーが増える。

(2) ゲート配線をそのままシリコン基板にコンタクトするために、ゲート酸化膜に直接マスクをかける工程が無い。

【0062】(3) ゲート酸化膜の信頼性が向上する。

(4) ゲート酸化膜とポリシリコン堆積とを連続工程で行うことができるため、ゲート酸化膜の信頼性が向上する。

(5) セルフアラインで LDD 構造を作ることができ

20

る。従来のように LDD 構造を作るための複雑なプロセスが必要ない。

【0063】(6) 傾斜型の LDD 構造を容易に作ることができる。このため、ホットキャリア対策にはより有効になる。

(7) U 字型のホットキャリアには有効な MOS トランジスタを作成できる。

(8) ポリシリコン膜上を容易に平坦化することができる。

(9) スタティック RAM (6MOS) のセルをポリシリコン膜およびアルミニウム配線の各 1 層ずつの 2 層配線で作ることができる。

【0064】(10) アルミニウムとシリコン基板接続が無い場合、その分トランジスタの素子サイズを縮小できる。

などの効果があり、その実用的効果は大きい。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 2】第 1 の実施例の半導体装置の製造方法を示す工程順平面図である。

【図 3】この発明の第 2 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 4】この発明の第 3 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 5】この発明の第 4 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 6】この発明の第 5 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 7】この発明の第 6 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 8】この発明の第 8 の実施例の半導体装置の製造方法を示す工程順断面図である。

【図 9】この発明の第 9 の実施例の半導体装置の製造方法を示す工程順平面図である。

【図 10】従来の MOS トランジスタの構造を示す断面図である。

【符号の説明】

- |    |           |
|----|-----------|
| 10 | シリコン基板    |
| 11 | 保護酸化膜     |
| 12 | 窒化シリコン膜   |
| 13 | フォトレジスト   |
| 14 | レジスト      |
| 15 | 局所酸化膜     |
| 16 | n+ 高濃度拡散層 |
| 17 | n- 低濃度拡散層 |
| 18 | ゲート酸化膜    |
| 19 | ポリシリコン膜   |
| 20 | フォトマスク    |
| 21 | ゲート・ソース間  |

10

20

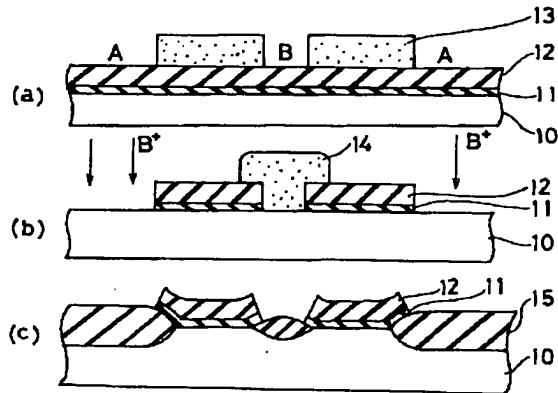
30

40

50

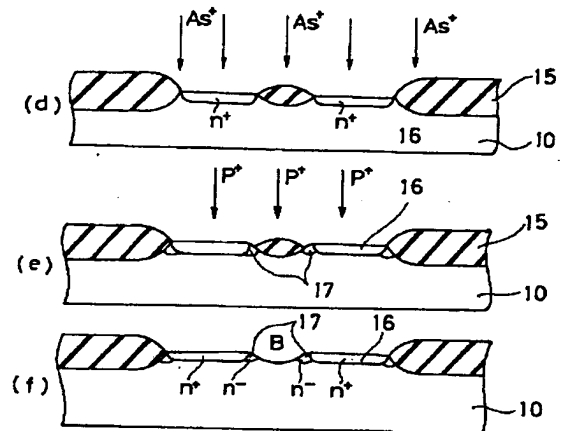
- 21  
 22 ゲート・ドレイン間  
 23 酸化膜層  
 24 HTO膜  
 25 フォトレジスト

【図1】

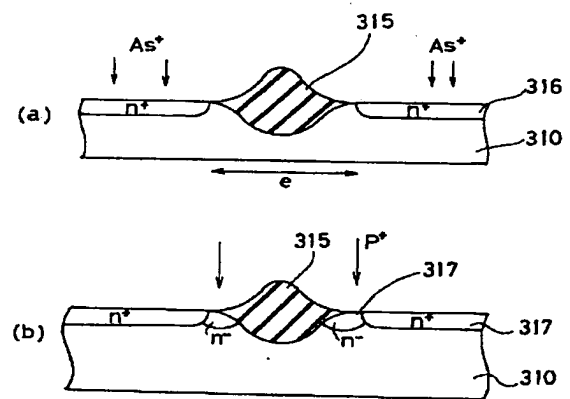


- 22  
 \* 26 開口部  
 27 開口部  
 28, 29 プラグ

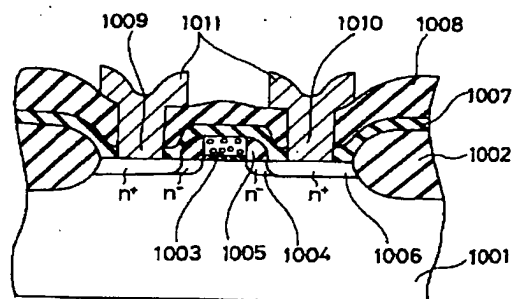
\*



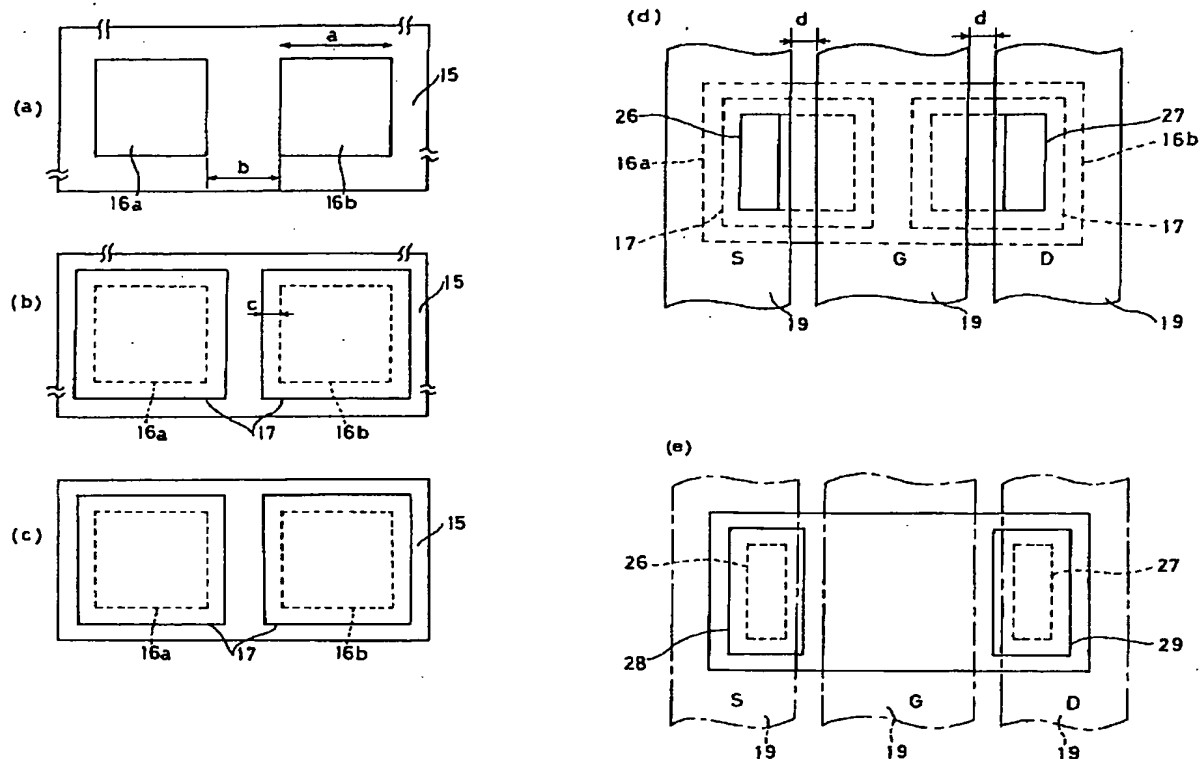
【図3】



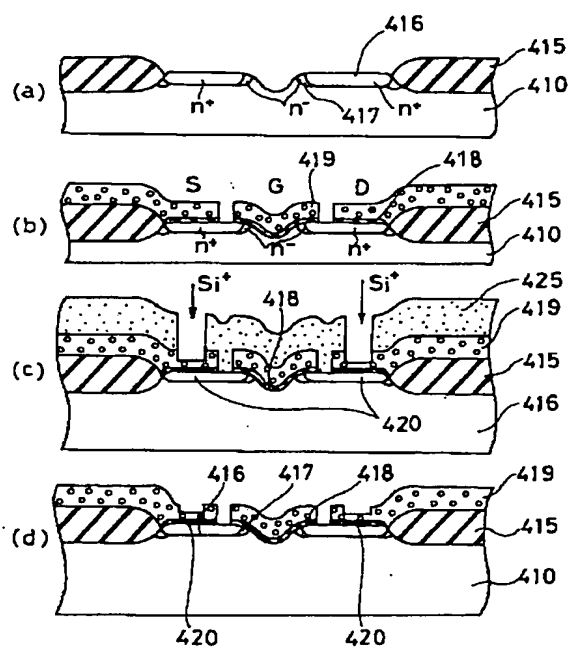
【図10】



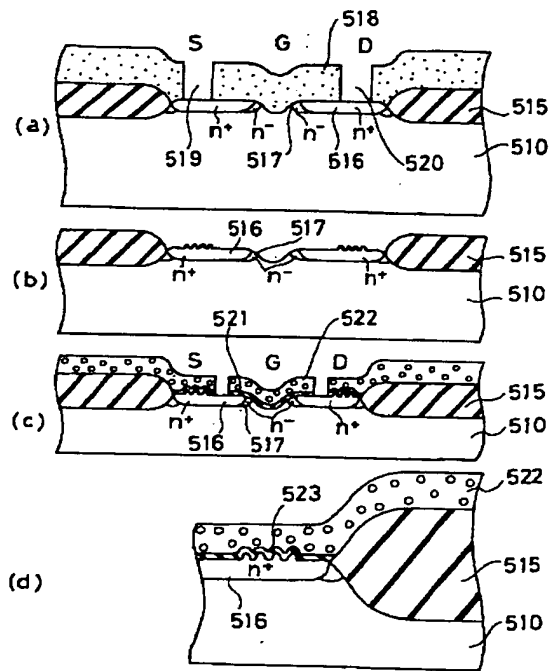
【図2】



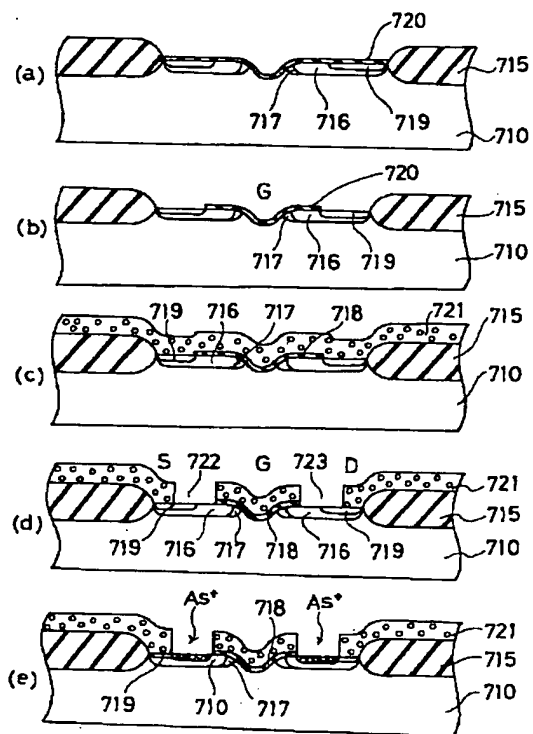
【図4】



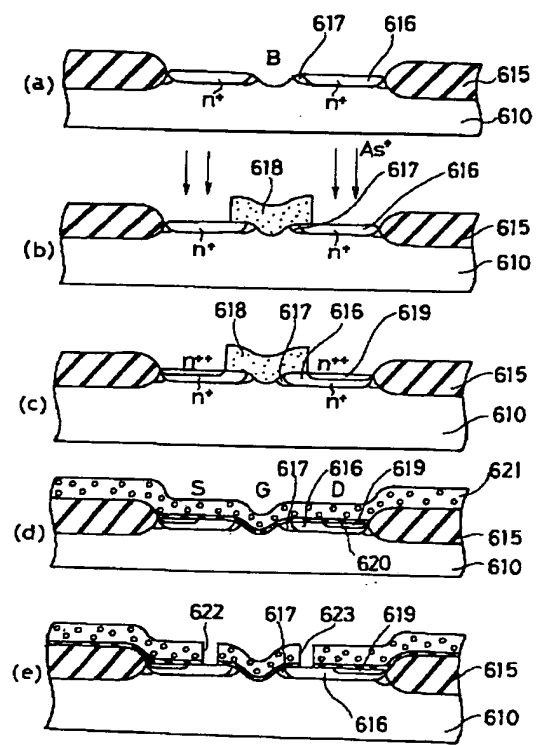
【図 5】



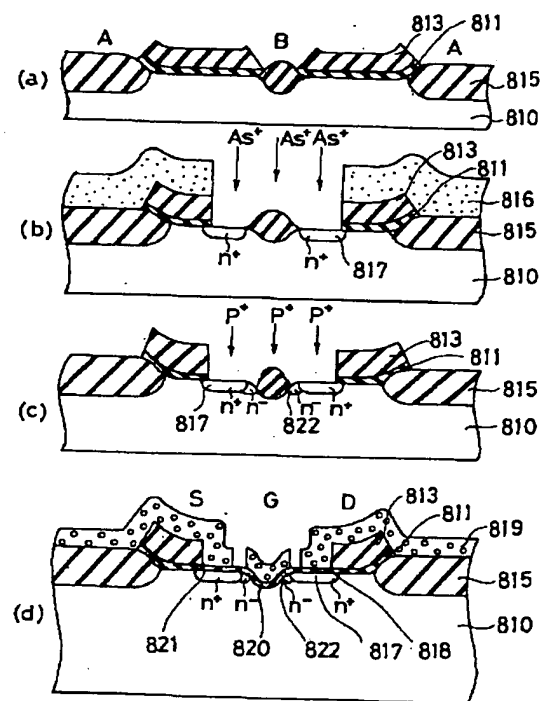
【図 7】



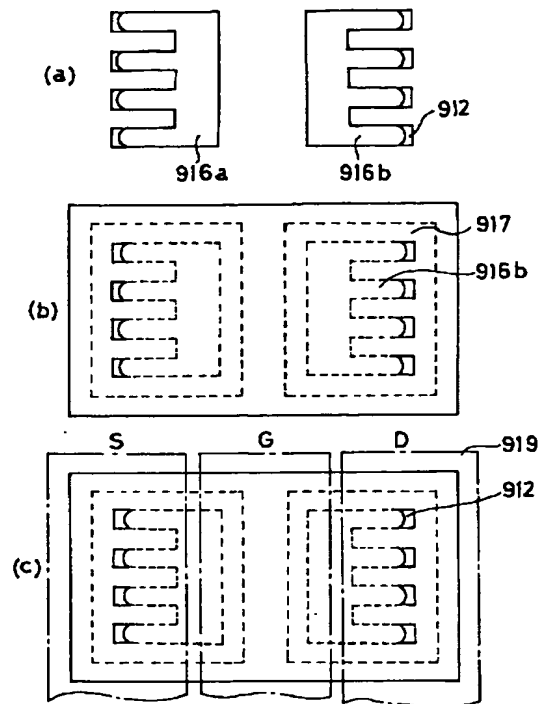
【図 6】



【図 8】



【図 9】



【手続補正書】

【提出日】平成 4 年 9 月 1 1 日

【手続補正 1】

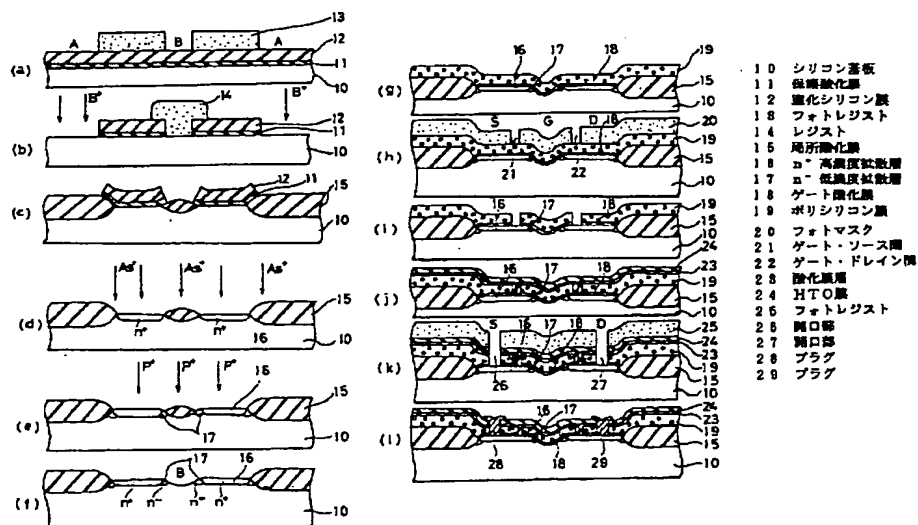
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

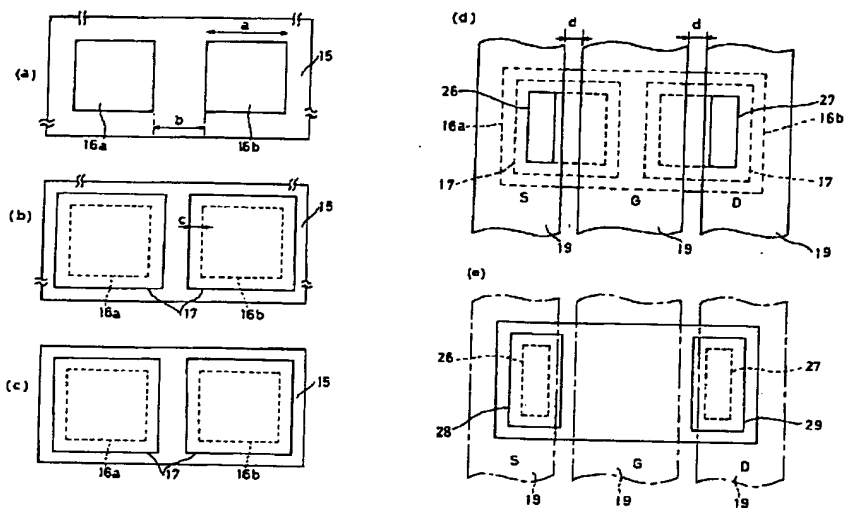
【補正内容】

【図 1】

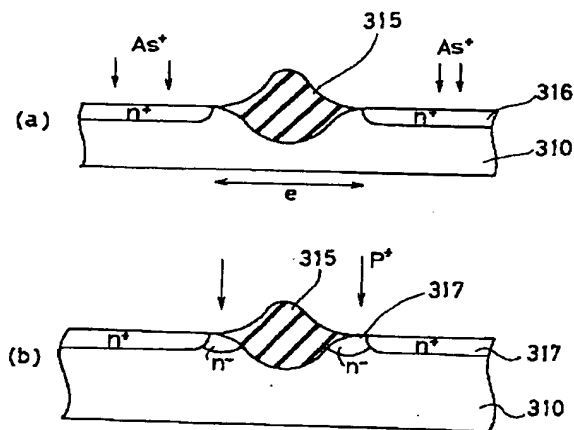


- 10 シリコン基板
- 11 保護酸化膜
- 12 酸化シリコン膜
- 13 フォトリソグ
- 14 レジスト
- 15 局所酸化膜
- 16 n+ 高濃度拡散層
- 17 n- 低濃度拡散層
- 18 ゲート酸化膜
- 19 ポリシリコン膜
- 20 フォトマスク
- 21 ゲート・ソース膜
- 22 ゲート・ドレイン膜
- 23 酸化膜層
- 24 HTO膜
- 25 フォトリソグ
- 26 開口部
- 27 開口部
- 28 プラグ
- 29 プラグ

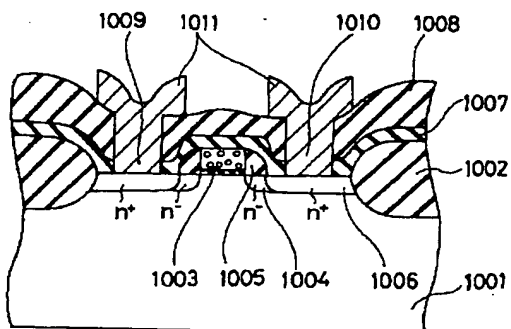
【図2】



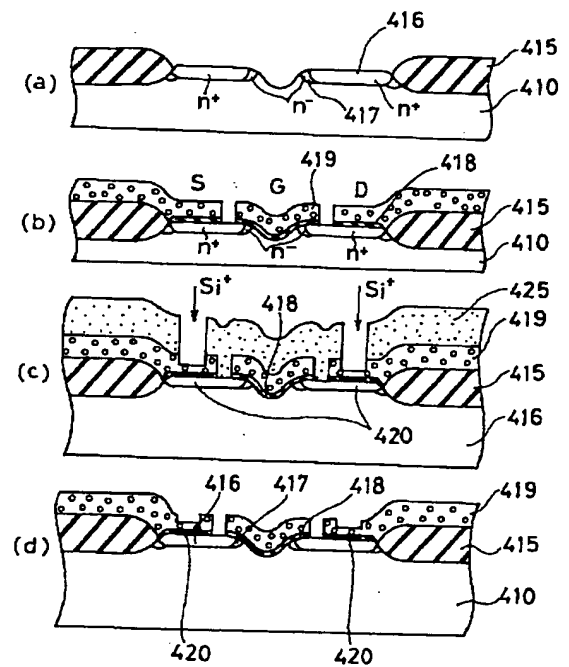
【図3】



【図10】

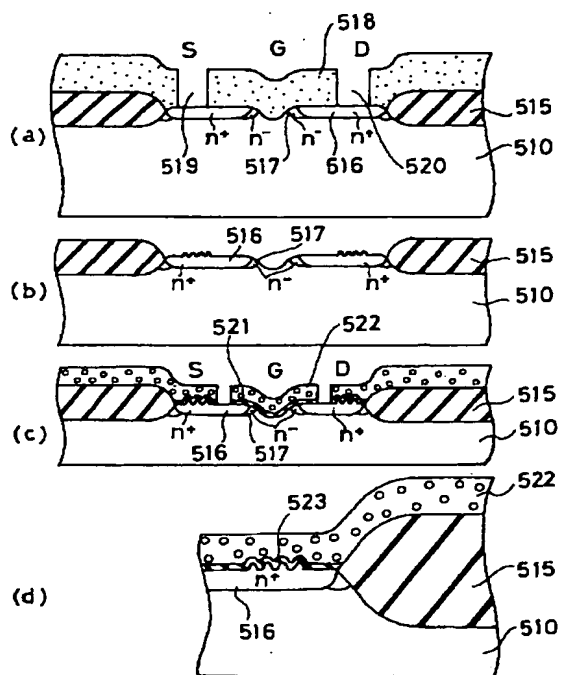


【図4】

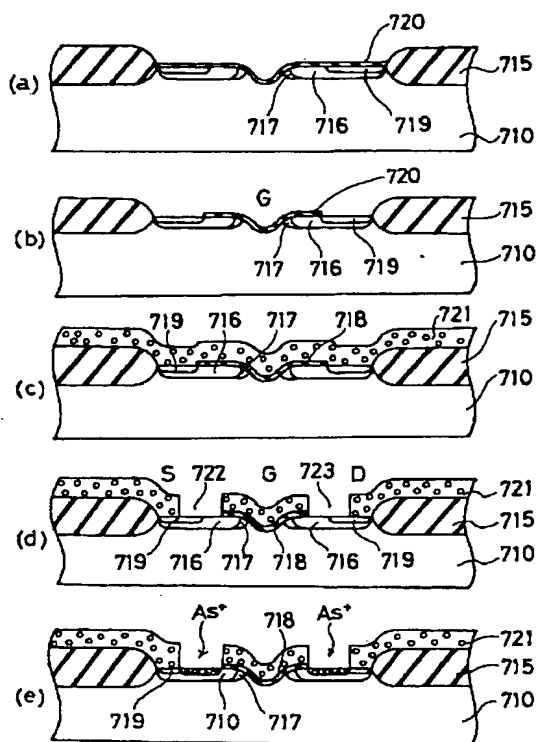




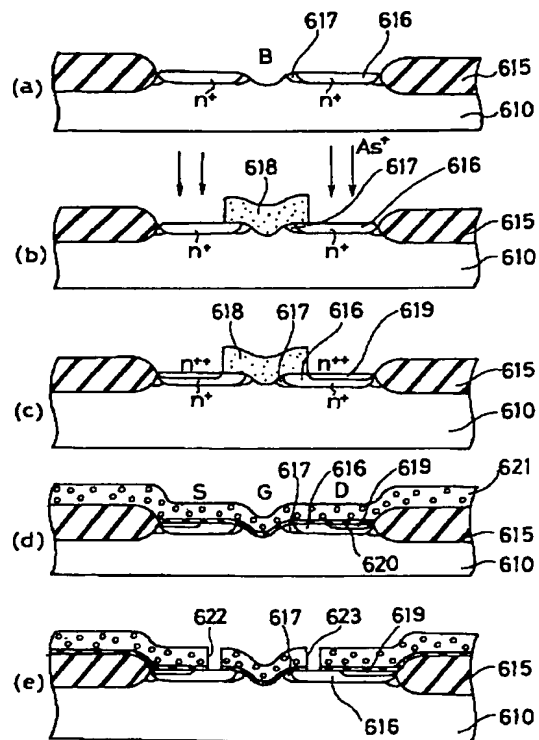
【図 5】



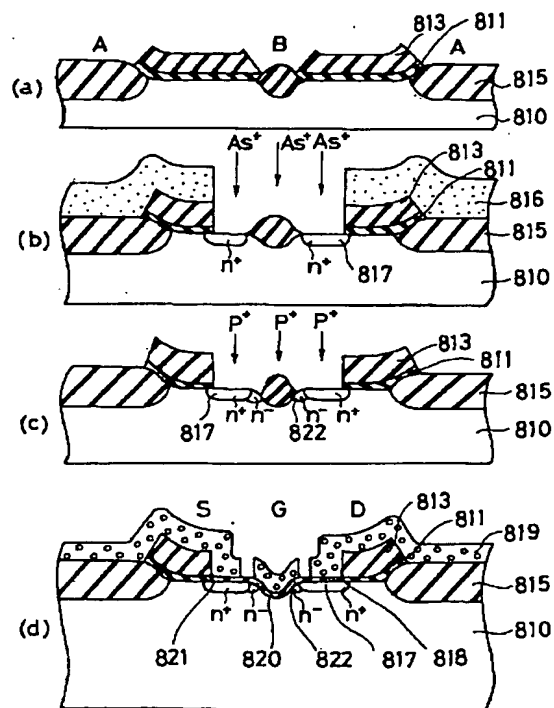
【図 7】



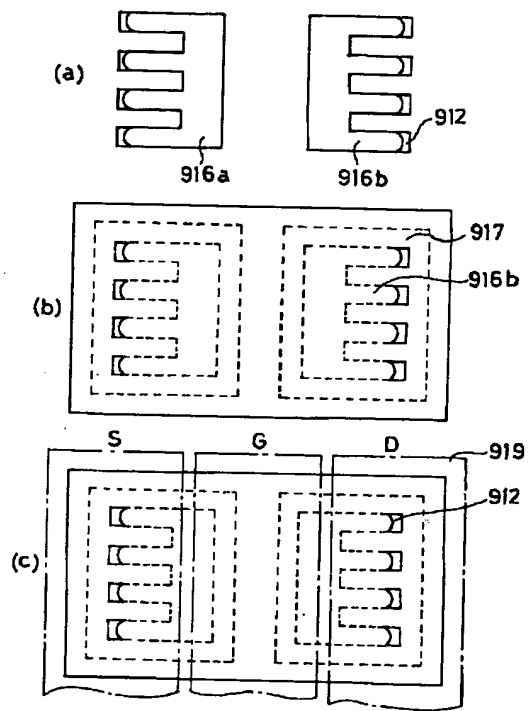
【図 6】



【図 8】



【図 9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**